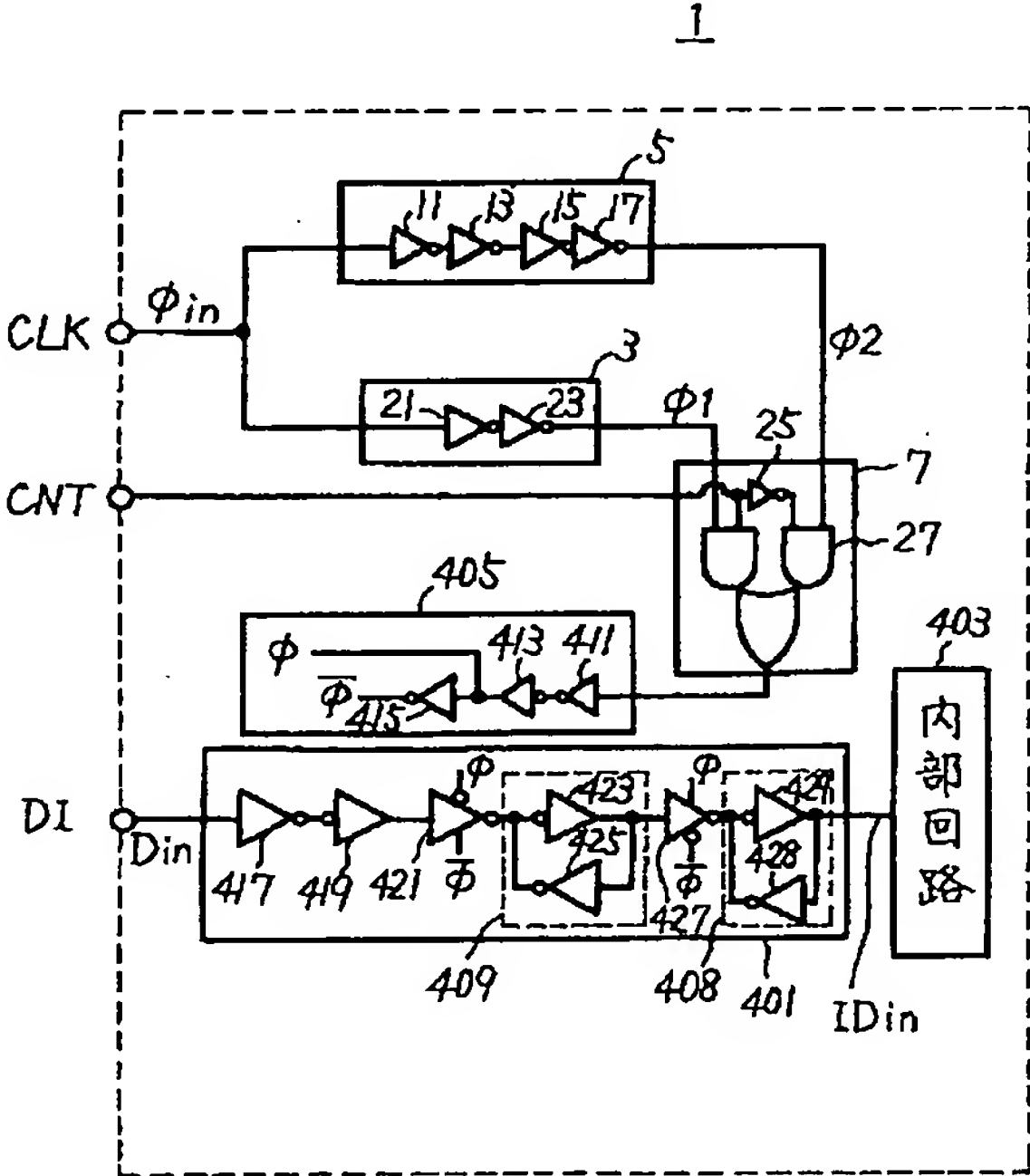


(51)Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 3 K 19/0175		H 0 3 K 19/00	1 0 1 N
H 0 1 L 27/10	4 9 5	H 0 1 L 27/10	4 9 5
H 0 4 L 7/00		H 0 4 L 7/00	A
25/40		25/40	C
審査請求 未請求 請求項の数7 O L (全 13 頁)			
(21)出願番号	特願平9-243673	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成9年(1997) 9 月 9 日	(72)発明者	筆保 吉雄 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置およびそれを搭載した回路モジュール

(57)【要約】  
【課題】 クロック信号に同期して動作する半導体デバイスをモジュール化したときに、高速にデータの授受を行なうことが可能な回路モジュールを提供する。  
【解決手段】 半導体装置1中にクロック遅延回路を設けて、外部端子よりクロック遅延量を可変にする。半導体装置を複数搭載し回路モジュールにした際、半導体装置に接続されるデータ配線の配線長等に起因するデータの遅延量に応じて、クロック遅延量を各半導体装置ごとに変化させることにより、データのスキューが大きい場合でも正常なデータ授受が可能となる。



1

【特許請求の範囲】

【請求項 1】 クロック入力端子と、  
外部からの制御信号を受ける制御信号入力端子と、  
外部とデータの授受を行なうデータ端子と、  
前記クロック入力端子からのクロック信号を受け、前記  
制御信号の値に応じて前記クロック信号を遅延させて出  
力する変換手段と、  
前記データを授受し、所定の処理を行なう内部回路と、  
前記データ端子と前記内部回路の間に設けられ、前記変  
換手段により変換されたクロック信号に同期して、デー  
タの入出力を行なう入出力手段とを備える、半導体装  
置。

【請求項 2】 前記変換手段は、  
前記クロック入力端子からの前記クロック信号を受け  
る、各々遅延量の異なる複数の遅延手段と、  
前記複数の遅延手段の出力信号を受け、前記制御信号入  
力端子からの信号に応じて、前記入出力手段に出力する  
クロック信号を選択する選択手段とを含む、請求項 1 記  
載の半導体装置。

【請求項 3】 複数の半導体装置を備え、  
前記各半導体装置は、  
クロック入力端子と、  
外部からの制御信号を受ける制御信号入力端子と、  
外部とデータの授受を行なうデータ端子と、  
前記クロック入力端子からのクロック信号を受け、前記  
制御信号の値に応じて前記クロック信号を遅延させて出  
力する変換手段と、  
前記データを授受し、所定の処理を行なう内部回路と、  
前記データ端子と前記内部回路の間に設けられ、前記変  
換手段により変換されたクロック信号に同期して、デー  
タの入出力を行なう入出力手段とを含み、  
前記複数の半導体装置に、各々個別に入力される、前記  
制御信号を供給する信号発生手段と、  
前記複数の半導体装置と前記信号発生手段とを搭載する  
配線基板とをさらに備え、  
前記配線基板は、  
前記複数の半導体装置に前記クロック信号を供給する配  
線と、  
データ端子群と、  
前記複数の半導体装置のデータ端子と前記データ端子群  
とをそれぞれ接続する配線群とを含む、回路モジュ  
ール。

【請求項 4】 前記信号発生手段は、前記制御信号を出  
力する制御回路を含み、  
前記制御回路は、  
第 1 の制御値に対応する電位が供給される第 1 のノード  
と、  
第 2 の制御値に対応する電位が供給される第 2 のノード  
と、  
前記制御回路の出力である前記制御信号に対応する電位

2

が供給される第 3 のノードと、  
前記第 1 のノードと前記第 3 のノードとを接続する抵抗  
と、  
前記第 2 のノードと前記第 3 のノードとを接続するヒュ  
ーズ素子とを有する、請求項 3 記載の回路モジュール。

【請求項 5】 前記信号発生手段は、前記制御信号を出  
力する制御回路を含み、  
前記制御回路は、  
第 1 の制御値に対応する電位が供給される第 1 のノード  
と、  
第 2 の制御値に対応する電位が供給される第 2 のノード  
と、  
前記制御回路の出力である前記制御信号に対応する電位  
が供給される第 3 のノードと、  
前記第 1 のノードと前記第 3 のノードとを接続する抵抗  
と、  
前記第 2 のノードと前記第 3 のノードとを接続する、脱  
着可能な導通手段を有する、請求項 3 記載の回路モジュ  
ール。

20 【請求項 6】 前記配線基板は、  
前記第 1 の制御値に対応する電位が供給される第 1 の端  
子と、  
前記第 2 の制御値に対応する電位が供給される第 2 の端  
子を含み、  
前記信号発生手段は、前記複数の半導体装置の前記制御  
信号入力端子と前記第 1 の端子と前記第 2 の端子とのい  
ずれか一方を選択的に接続するワイヤを含む、請求項 3  
記載の回路モジュール。

30 【請求項 7】 前記信号発生手段は、  
前記複数の半導体装置のそれぞれに対応した制御値を記  
憶している不揮発性メモリを含む、請求項 3 記載の回路  
モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およ  
びそれを用いて構成された回路モジュールに関し、より  
特定的には、クロックに同期してデータの入出力を行な  
う半導体装置およびそれを用いて構成された回路モジュ  
ールに関する。

【0002】

【従来の技術】半導体装置の高速化が進行するにつれ、  
配線基板に実装した際の配線の抵抗成分および容量成分  
に起因する信号の遅延が無視できない場合が生じる。す  
なわち、このような信号の遅延が半導体装置相互および  
半導体装置と配線基板外部との信号伝達に無視できない  
影響を及ぼす場合がある。

【0003】たとえば、システムクロックに同期してデ  
ータの入出力を行なう方式は、内部タイミングの制御を  
システムクロックに同期して行なえるため、タイミング  
設計が容易なことから、高速な処理をするシステムに使

用される半導体装置に広く用いられている。しかしながら、クロック周波数が高い場合、信号の遅延量がデータラインごとに異なると、第1の半導体装置中から出力されたデータが、第2の半導体装置に正常に伝達されない事態が生じる。

【0004】図11は、第1の従来例の半導体装置の構成を示す図である。上記事情を図11により、さらに詳しく説明する。

【0005】図11において、半導体装置400は、外部クロック信号 $\phi_{in}$ を受けるクロック端子CLKと、外部とデータの授受を行なうデータ端子DIと、外部クロック信号 $\phi_{in}$ を受けて内部クロック信号 $\phi$ 、 $\phi$ を出力する内部クロック発生回路405と、内部クロック信号 $\phi$ 、 $\phi$ に同期して外部からのデータを取込む入出力回路401と、入出力回路401の出力を受けて、所定の処理を行なう内部回路403とを備える。

【0006】内部クロック発生回路405は、外部クロック信号 $\phi_{in}$ を受ける直列に接続されたインバータ411、413および415を含む。インバータ411、413の作用により外部クロック信号 $\phi_{in}$ は内部クロック信号 $\phi$ に変換され、内部クロック信号 $\phi$ を受けるインバータ415はその反転信号 $\phi$ を出力する。

【0007】入出力回路401は、データ信号Dinを入力として受ける、互いに直列に接続されたインバータ417、419と、内部クロック信号 $\phi$ 、 $\phi$ に応じて活性化されインバータ419の出力信号を受けるクロックドインバータ421と、クロックドインバータ412の出力信号を受けて保持し、かつ反転して出力するラッチ回路409と、内部クロック信号 $\phi$ 、 $\phi$ に応じて活性化されラッチ回路409の出力信号を受けるクロックドインバータ427と、クロックドインバータ427の出力信号を受けて保持し、かつ反転して出力するラッチ回路408とを含む。

【0008】したがって入出力回路401が受けたデータDinは、インバータ417、419の作用によりクロックドインバータ421に伝えられる。クロックドインバータ421は内部クロック信号 $\phi$ が“H”のときに活性化され、データDinの内容を反転してラッチ回路409に伝える。

【0009】クロックドインバータ427は $\phi$ が“H”のときに活性化され、ラッチ回路409が保持している値をラッチ回路408に伝える。ラッチ回路はクロックドインバータ427から受取った値を反転して保持し、内部回路403に対して出力する。

【0010】以上のように、入出力回路401はデータDinを内部クロック $\phi$ 、 $\phi$ の変化に応じて取込み、かつ内部回路403に出力する。

【0011】図12は図11の半導体装置400の動作を説明する動作波形図である。図12を参照して、時刻t1において、データ端子DIに入力されるデータ信号

Dinがデータd1に確定する。

【0012】時刻t2において、クロック入力信号 $\phi_{in}$ が立上がる。時刻t3において、内部クロック発生回路405が外部クロック信号 $\phi_{in}$ をもとに出力した内部クロック信号 $\phi$ が立上がる。同時に、内部クロック信号 $\phi$ の立上がりに応じて、入出力回路401がデータ信号Dinのデータd1を内部データ信号として取込み、内部回路403に向けて出力する。(図12中、IDinに示す。)このとき、データd1に対するセットアップタイムはtSとなる。時刻t4においてデータ信号Dinはデータが不確定となる。このときデータd1に対するホールドタイムはtHとなる。

【0013】一般にデータd1が半導体装置内部に安定して取込まれるためには、セットアップタイムtS、ホールドタイムtHに、それぞれ一定時間以上の時間が必要とされる。

【0014】図13は、図11に示した半導体装置を搭載する、回路モジュールの構成を示す結線概念図である。図13において、回路モジュール430は、図11に示した半導体装置400と同一の構成を有する半導体装置431~439とモジュール外部との間でデータを授受するデータ入力端子441~449と、配線基板440と、外部から供給されるクロック信号またはモジュール内部から供給されるクロック信号を受けるノードCLKを含む。

【0015】半導体装置431、433、435、437および439は、データ入力端子441、443、445、447および449とそれぞれ接続されている。また、半導体装置431~439は、ノードCLKに接続されている。

【0016】図14は図13の回路モジュールの動作を説明する動作波形図である。図14を参照して、データ入力端子441から449には、時刻t1においてデータa1~e1が入力される。(図14中、Dinで示す。)データ入力端子441、443、445、447および449と半導体装置431、433、435、437および439とをそれぞれ接続している配線の配線長および引回された配線パターン等による遅延のため、これらのデータ信号は、半導体装置431~439に到達するまでに時間遅れを生ずる。

【0017】たとえば、比較的データ入力端子441に近い半導体装置431では、時刻t2にデータが到達する。(図14中Dinaで示す。)

一方、データ入力端子449と離れている半導体装置439では、さらに遅れて、時刻t4にデータが到達する。(図14中、Dineで示す。)

ここで、半導体装置431、439には共通のクロックがノードCLKで供給されており、半導体装置431ではクロック信号 $\phi_{in}$ の立上がりタイミング時刻t3にて、データが内部に取込まれる。(図14中、Dina



に示す。)

一方、半導体装置 439 では、データの遅延が大きい  
ため、データ取込み時である時刻  $t_3$  においては、データ  
e1 が半導体装置 439 まで到達していない。このた  
め、半導体装置 439 では、時刻  $t_3$  におけるクロック  
信号  $\phi_{in}$  の立上がりエッジでは、データを取込むこと  
ができない。(図 14 中 I D i n e で示す。)

【0018】

【発明が解決しようとする課題】以上述べたように、従  
来の半導体装置および回路モジュールでは回路モジュール  
のデータ入力端子と半導体装置の入端子部とを接続する  
配線長および引回された配線パターン等が、各々の半  
導体装置で異なっている場合は、信号の遅延量もそれに  
応じて異なってくる。そのため、回路モジュールの複数の  
データ入力端子に同時にデータが与えられた場合、同一  
時刻  $t_3$  に与えられたシステムクロックの立上がりで  
データを受取れない半導体装置が存在する場合が生ず  
る。この時刻  $t_3$  に半導体装置内部に伝わったデータは  
一部に正しいデータが伝わっていない半導体装置がある  
ため、回路モジュール全体として誤動作を起こす可能性  
が生じるという問題点があった。

【0019】最近の微細加工技術の進歩により、半導体  
装置が高集積化され、半導体装置単体の動作速度が向上  
し、それに伴い使用されるクロックも周波数が高くなっ  
ている。このような高速の半導体装置を配線基板上に複数  
個搭載した回路モジュールを作る場合、配線基板上の配  
線に起因する上記問題点により、半導体装置単体の動作  
速度を回路モジュールに生かせない場合がある。

【0020】この発明の目的は、高速に動作することが  
可能な半導体装置を複数搭載した回路モジュールにおい  
て、回路モジュールの動作速度の上限を改善することが  
可能な半導体装置および回路モジュールを提供すること  
である。

【0021】

【課題を解決するための手段】請求項 1 記載の半導体装  
置は、クロック入力端子と、外部からの制御信号を受け  
る制御信号入力端子と、外部とデータの授受を行なうデ  
ータ端子と、クロック入力端子からのクロック信号を受  
け、制御信号の値に応じてクロック信号を遅延させて出  
力する変換手段と、データを授受し、所定の処理を行な  
う内部回路と、データ端子と内部回路の間に設けられ、  
変換手段により変換されたクロックに同期して、データ  
の入出力を行なう入出力手段とを備える。

【0022】請求項 2 記載の半導体装置は、請求項 1 記  
載の半導体装置の構成に加えて、変換手段は、クロック  
入力端子からのクロック信号を受ける、各々遅延量の異  
なる複数の遅延手段と、複数の遅延手段の出力信号を受  
け、制御信号入力端子からの信号に応じて、入出力手段  
に出力するクロック信号を選択する選択手段とを含む。

【0023】請求項 3 記載の回路モジュールは、複数の

半導体装置を備え、各半導体装置は、クロック入力端子  
と、外部からの制御信号を受ける制御信号入力端子と、  
外部とデータの授受を行なうデータ端子と、クロック入  
力端子からのクロック信号を受け、制御信号の値に応じ  
て前記クロック信号を遅延させて出力する変換手段と、  
データを授受し、所定の処理を行なう内部回路と、デー  
タ端子と内部回路の間に設けられ、変換手段により変換  
されたクロックに同期して、データの入出力を行なう入  
出力手段とを含み、複数の半導体装置に、各々個別に入  
力される、制御信号を供給する信号発生手段と、複数の  
半導体装置と信号発生手段とを搭載する配線基板とをさ  
らに備え、配線基板は、複数の半導体装置に前記クロッ  
ク信号を供給する配線と、データ端子群と、複数の半導  
体装置のデータ端子と前記データ端子群とをそれぞれ接  
続する配線群とを含む。

【0024】請求項 4 記載の回路モジュールは、請求項  
3 記載の半導体装置の構成に加えて、信号発生手段は、  
制御信号を出力する制御回路を含み、制御回路は、第 1  
の制御値に対応する電位が供給される第 1 のノードと、  
第 2 の制御値に対応する電位が供給される第 2 のノード  
と、制御回路の出力である制御信号に対応する電位が供  
給される第 3 のノードと、第 1 のノードと第 3 のノード  
とを接続する抵抗と、第 2 のノードと第 3 のノードとを  
接続するヒューズ素子とを有する。

【0025】請求項 5 記載の回路モジュールは、請求項  
3 記載の半導体装置の構成に加えて、信号発生手段は、  
制御信号を出力する制御回路を含み、制御回路は、第 1  
の制御値に対応する電位が供給される第 1 のノードと、  
第 2 の制御値に対応する電位が供給される第 2 のノード  
と、制御回路の出力である制御信号に対応する電位が供  
給される第 3 のノードと、第 1 のノードと第 3 のノード  
とを接続する抵抗と、第 2 のノードと第 3 のノードとを  
接続する、脱着可能な導通手段とを有する。

【0026】請求項 6 記載の回路モジュールは、請求項  
3 記載の回路モジュールの構成に加えて、配線基板は、  
第 1 の制御値に対応する電位が供給される第 1 の端子  
と、第 2 の制御値に対応する電位が供給される第 2 の端  
子を含み、信号発生手段は、複数の半導体装置の制御信  
号入力端子と第 1 の端子と第 2 の端子とのいずれか一方  
を選択的に接続するワイヤを含む。

【0027】請求項 7 記載の回路モジュールは、請求項  
3 記載の回路モジュールの構成に加えて、信号発生手段  
は、複数の半導体装置のそれぞれに対応した制御値を記  
憶している不揮発性メモリを含む。

【0028】

【発明の実施の形態】

【実施の形態 1】図 1 は、本発明の実施の形態 1 の半導  
体装置 1 の構成を示す回路図である。

【0029】図 1 において、半導体装置 1 は、外部クロ  
ック信号  $\phi_{in}$  を受けるクロック端子 CLK と、外部と

データの授受を行なうデータ端子D I と、外部からの制御信号を受ける制御信号入力端子C N T と、外部クロック信号 $\phi$  i nを受けて第1の遅延時間t d 1だけ遅延して第1の内部クロック信号 $\phi$  1として出力する第1の遅延回路3と、外部クロック信号 $\phi$  i nを受けて、第2の遅延時間t d 2だけ遅延して第2の内部クロック信号 $\phi$  2として出力する第2の遅延回路5と、制御信号に応じて第1の内部クロック信号 $\phi$  1または第2の内部クロック信号 $\phi$  2のいずれかを選択して出力する選択回路7と、選択回路7が出力する信号を受け外部クロック信号 $\phi$ 、 $\neg\phi$ を出力する内部クロック発生回路4 0 5と、内部クロック信号 $\phi$ 、 $\neg\phi$ に同期して外部からのデータを取込み出力する入出力回路4 0 1と、入出力回路4 0 1の出力を受けて所定の処理たとえば、取込まれたデータの記憶動作等を行なう内部回路4 0 3とを備える。

【0030】第1の遅延回路3は、 $\phi$  i nを入力として受ける互いに直列に接続されたインバータ2 1、2 3を含む。第1の遅延回路3はインバータ2 1、2 3の作用によりクロック信号 $\phi$  i nを第1の遅延時間t d 1だけ遅延し、内部クロック信号 $\phi$  1を出力する。

【0031】第2の遅延回路5は、 $\phi$  i nを入力して受ける互いに直列に接続されたインバータ1 1、1 3、1 5および1 7を含む。第2の遅延回路5は、インバータ1 1、1 3、1 5および1 7の作用により、クロック信号 $\phi$  i nを第2の遅延時間t d 2だけ遅延し内部クロック信号 $\phi$  2を出力する。

【0032】選択回路7は、第1の入力と第2の入力の論理積演算結果と第3の入力と第4の入力の論理積演算結果を論理和して出力する働きを持つ複合ゲート2 7と、上記制御信号を受けるインバータ2 5とを含む。上記複合ゲート2 7の第1の入力は内部クロック信号 $\phi$  1を受け第2の入力は前記制御信号を受ける。複合ゲート2 7の第3の入力は前記制御信号の反転信号であるインバータ2 5の出力を受け第4の入力は内部クロック信号 $\phi$  2を受ける。

【0033】したがって複合ゲート2 7は、前記制御信号が“H”状態のときは、内部クロック信号 $\phi$  1を選択し、上記制御信号が“L”状態のときは、内部クロック信号 $\phi$  2を選択し、選択回路7の出力信号として出力する。

【0034】内部クロック発生回路4 0 5は、選択回路7の出力信号を受ける直列に接続されたインバータ4 1 1、4 1 3、4 1 5を含む。インバータ4 1 1、4 1 3の作用により選択回路7の出力信号は内部クロック信号 $\phi$ に変換され、内部クロック信号 $\phi$ を受けるインバータ4 1 5は、その反転信号 $\neg\phi$ を出力する。

【0035】入出力回路4 0 1は、データ信号D i nを入力値として受ける、互いに直列に接続されたインバータ4 1 7、4 1 9と、内部クロック信号 $\phi$ 、 $\neg\phi$ に応じて活性化されインバータ4 1 9の出力信号を受けるクロ

ックドインバータ4 2 1と、クロックドインバータ4 2 1の出力信号を受けて保持し、かつ反転して出力するラッチ回路4 0 9と、内部クロック信号 $\phi$ 、 $\neg\phi$ に応じて活性化されラッチ回路4 0 9の出力信号を受けるクロックドインバータ4 2 7と、クロックドインバータ4 2 7の出力信号を受けて保持し、かつ反転して出力するラッチ回路4 0 8とを含む。

【0036】したがって、入出力回路4 0 1が受けたデータD i nは、インバータ4 1 7、4 1 9の作用によりクロックドインバータ4 2 1に伝えられる。クロックドインバータ4 2 1は内部クロック信号 $\neg\phi$ が“H”のときに活性化され、データD i nの内容を反転してラッチ回路4 0 9に伝える。クロックドインバータ4 2 7は、 $\phi$ が“H”のときに活性化され、ラッチ回路4 0 9が保持している値をラッチ回路4 0 8に伝える。ラッチ回路はクロックドインバータ4 2 7から受取った値を反転して保持し、内部回路4 0 3に対して出力する。

【0037】以上のように入出力回路4 0 1は、データD i nを内部クロック $\phi$ 、 $\neg\phi$ の変化に応じて取込み、かつ内部回路4 0 3に出力する。

【0038】図2は、図1の半導体装置1の動作を説明する動作波形図である。図2を参照して、時刻t 1において、データ端子D Iに入力されるデータ信号D i nがデータd 1に確定する。時刻t 2において、クロック入力信号 $\phi$  i nが立上がる。

【0039】このクロック入力信号 $\phi$  i nは、遅延回路3により遅延時間t d 1だけ遅延され内部クロック $\phi$  1となる。

【0040】したがって、時刻t 2より遅延時間t d 1後である時刻t 3に、内部クロック $\phi$  1が立上がる。

【0041】同様に、クロック入力信号 $\phi$  i nは、遅延回路5により遅延時間t d 2だけ遅延され内部クロック $\phi$  2となる。

【0042】したがって、時刻t 2より遅延時間t d 2後である時刻t 4に内部クロック $\phi$  2は立上がる。

【0043】ここで、制御信号入力端子C N Tに“H”レベルが入力されている場合、選択回路7は内部クロック信号 $\phi$  1を内部クロック発生回路4 0 5に入力する。

【0044】したがって、内部クロック発生回路4 0 5は内部クロック信号 $\phi$  1をもとに内部クロック信号 $\phi$ 、 $\neg\phi$ を生成する。

【0045】そして、入出力回路4 0 1は、 $\phi$  1の変化に応じて動作する。その結果、時刻t 3において、入出力回路4 0 1は、データd 1を内部回路4 0 3に対して出力する。(図2中、I D i n 1に示す。)

一方、制御信号入力端子C N Tに“L”レベルが入力されている場合、選択回路7は内部クロック信号 $\phi$  2を内部クロック発生回路4 0 5に入力する。そして、入出力回路4 0 1は内部クロック信号 $\phi$  2の変化に応じて動作する。その結果、時刻t 4において入出力回路4 0 1

10

20

30

40

50



は、データ  $d_1$  を内部回路 403 に対して出力する。

(図 2 中、 $ID_{in2}$  に示す。)

以上より、半導体装置 1 は、制御信号端子 CNT の入力レベルが “H” であれば、内部クロック  $\phi_1$  の変化に応じて、データ端子 DI に入力されたデータ  $d_1$  を内部に取込み、内部データ信号  $ID_{in1}$  とする。

【0046】このときデータ  $d_1$  に対するセットアップタイムは  $t_{S1}$ 、ホールドタイムは  $t_{H1}$  となる。

【0047】一方制御信号端子 CNT の入力レベルが “L” であれば、半導体装置 1 は内部クロック  $\phi_2$  の変化に応じて、データ端子 DI に入力されたデータ  $d_1$  を内部に取込み、内部データ信号  $ID_{in2}$  とする。このとき、データ  $d_1$  に対するセットアップタイムは  $t_{S2}$ 、ホールドタイムは  $t_{H2}$  となる。

【0048】ここで、内部クロック信号  $\phi_1$  より内部クロック信号  $\phi_2$  の方が、遅延時間が大きいので、 $t_{S1} < t_{S2}$ 、 $t_{H2} > t_{H1}$  となる。これは、データ  $d_1$  の確定の時刻である  $t_1$  に着目した場合は、内部クロック信号  $\phi_2$  の変化に応じてデータを内部に取込む方が、内部クロック信号  $\phi_1$  の変化に応じてデータを内部に取込むときよりも、より安定してデータを取込めることを示す。

【0049】同様に、データ  $d_1$  が不定となる時刻  $t_5$  に着目した場合は、内部クロック  $\phi_1$  の変化に応じて、データを内部に取込む方が、内部クロック  $\phi_2$  の変化に応じてデータを内部に取込むときよりも、より安定して、データを取込めることを示す。

【0050】したがって、実施の形態 1 では、半導体装置が受けるクロックに対して、半導体装置が受取るデータが基板の配線遅延のため遅れが生じた場合でも、データの遅れに合わせて、半導体装置内部でクロックを遅らせてデータを正常に取込むことが可能となる。

【0051】〔実施の形態 2〕図 3 は、本発明の実施の形態 2 の半導体装置 51 の構成を示す回路図である。

【0052】実施の形態 2 の半導体装置 51 は、実施の形態 1 の半導体装置 1 の構成の入出力回路 401 が、入出力回路 55 となり、内部回路 403 が内部回路 56 となり、データ端子 DI がデータ端子 DO となっている点で実施の形態 1 の半導体装置 1 と異なる。

【0053】その他の構成については、実施の形態 1 で説明した半導体装置 1 と同一であるので、図 3 中同一部分には同一符号を付して、説明は繰返さない。

【0054】図 3 において、半導体装置 51 は、外部クロック信号  $\phi_{in}$  を受けるクロック端子 CLK と、外部でデータの授受を行なうデータ端子 DO と、外部からの制御信号を受ける制御信号入力端子 CNT と、外部クロック信号  $\phi_{in}$  を受けて第 1 の遅延時間  $t_{d1}$  だけ遅延して第 1 の内部クロック信号  $\phi_1$  として出力する第 1 の遅延回路 3 と、外部クロック信号  $\phi_{in}$  を受けて、第 2 の遅延時間  $t_{d2}$  だけ遅延して第 2 の内部クロック信号

$\phi_2$  として出力する第 2 の遅延回路 5 と、制御信号に応じて第 1 の内部クロック信号  $\phi_1$  または第 2 の内部クロック信号  $\phi_2$  のいずれかを選択して出力する選択回路 7 と、選択回路 7 が出力するクロック信号を受け内部クロック信号  $\phi$ 、 $\neg\phi$  を出力する内部クロック発生回路 405 と、所定の処理、たとえば、データ記憶値の読出動作を行なう内部回路 56 と、内部回路 56 の出力信号である内部データ信号  $ID_{out}$  を受けて、内部クロック信号  $\phi$ 、 $\neg\phi$  に同期してデータ端子 DO に出力する入出力回路 55 とを備える。

【0055】入出力回路 55 は、内部クロック信号  $\phi$ 、 $\neg\phi$  に応じて活性化され、内部データ信号  $ID_{out}$  を受けるクロックドインバータ 77 と、クロックドインバータ 77 の出力信号を受けて反転して保持するラッチ回路 57 と、内部クロック信号  $\phi$ 、 $\neg\phi$  に応じて活性化され、ラッチ回路 57 の出力信号を受けるクロックドインバータ 65 と、クロックドインバータ 65 の出力信号を受けて、反転して保持するラッチ回路 59 と、ラッチ回路 59 の出力をゲートに受ける第 1 の出力トランジスタ 61 とラッチ回路 59 の反転出力をゲートに受ける第 2 の出力トランジスタ 69 とを含む。第 1 の出力トランジスタ 61 は電源ノード VCC とデータ端子 DO との間に接続される。第 2 の出力トランジスタ 69 は、接地ノード GND とデータ端子 DO との間に接続される。第 1 の出力トランジスタ 61 と第 2 の出力トランジスタ 69 はラッチ回路 59 の保持している値に応じて、データ信号  $D_{out}$  をデータ端子 DO に出力する。

【0056】図 4 は、図 3 の半導体装置 51 の動作を説明する動作波形図である。図 4 を参照して、時刻  $t_1$  において、内部回路 56 が出力する内部データ信号  $ID_{out}$  がデータ  $d_2$  に確定する。時刻  $t_2$  においてクロック入力信号  $\phi_{in}$  が立上がる。このクロック信号  $\phi_{in}$  の立上がりから、遅延時間  $t_{d1}$  後の時刻  $t_3$  において内部クロック信号  $\phi_1$  が立上がり、また遅延時間  $t_{d2}$  後の時刻  $t_4$  において内部クロック信号  $\phi_2$  が立上がるのは、実施の形態 1 の場合と同じである。ここで、制御信号入力端子 CNT に “H” レベルが入力されている場合、選択回路 7 は内部クロック信号  $\phi_1$  を内部クロック発生回路 405 に入力する。

【0057】したがって、内部クロック発生回路 405 は、内部クロック信号  $\phi_1$  をもとに内部クロック信号  $\phi$ 、 $\neg\phi$  を生成する。そして入出力回路 55 は  $\phi_1$  の変化に応じて動作する。その結果時刻  $t_3$  において、入出力回路 55 は、データ  $d_2$  をデータ端子 DO に対して出力する。(図 4 中、 $D_{out1}$  に示す。)

一方、制御信号入力端子 CNT に “L” レベルが入力されている場合、選択回路 7 は、内部クロック信号  $\phi_2$  を内部クロック発生回路 405 に入力する。そして、入出力回路 55 は、内部クロック信号  $\phi_2$  の変化に応じて動作する。

【0058】その結果、時刻 $t_4$ において、入出力回路55は、データ $d_2$ をデータ端子DOに対して出力する。(図4中、Dout2に示す。)

以上のように、実施の形態2においては、制御信号入力端子CNTに入力されるレベルに応じて、クロック入力信号 $\phi_{in}$ に対してのデータ出力信号を出力するタイミングを変えることができる。

【0059】したがって、実施の形態2では、半導体装置51がデータを出力する相手先の装置の基準となるクロック信号が、半導体装置51が受けるクロック入力信号 $\phi_{in}$ に対して遅延を生じている場合に、半導体装置51のデータ出力信号を遅らせることによって、データを正常に相手先の装置に渡すことが可能となる。

【0060】[実施の形態3]図5は、本発明の実施の形態3の回路モジュール100の構成を示す結線概念図である。

【0061】図5において、回路モジュール100は、図1に示した実施の形態1の半導体装置1と同等の構成を有する半導体装置101~109と、モジュール外部との間でデータを授受するデータ入力端子111~119と、配線基板110と、制御信号を伝えるノードN1、N2、N3、N4およびN5と、外部から供給されるクロック信号またはモジュール内部から供給されるクロック信号を伝えるノードCLKを含む。

【0062】半導体装置101、103、105、107および109は、データ入力端子111、113、115、117および119とそれぞれ接続されている。また、半導体装置101~109はノードCLKに接続されている。

【0063】半導体装置101、103、105、107および109は、制御信号入力端子を有しており、それぞれノードN1、N2、N3、N4、N5によって制御値レベルである電源ノードVCCまたは接地ノードGNDのいずれか一方にそれぞれ接続されている。

【0064】図6は、図5の回路モジュールの動作を説明する動作波形図である。図6を参照して、データ入力端子111~119には、時刻 $t_1$ においてデータ $a_1$ ~ $e_1$ が入力される。(図6中、Dinで示す。)

データ入力端子111、113、115、117および119と半導体装置101、103、105、107および109とをそれぞれ接続している回路の配線長および引回された配線パターン等による遅延のため、これらのデータ信号は、半導体装置101~109に到達するまでに時間遅れを生ずる。

【0065】たとえば、比較的データ入力端子111に近い半導体装置101では、時刻 $t_2$ にデータ $a_1$ が到達する。(図6中、IDinaで示す。)

一方データ入力端子119と離れている半導体装置109では、さらに遅れて時刻 $t_5$ にデータ $e_1$ が到達する。ここで、半導体装置101、109には共通のクロ

ックがノードCLKで供給されている。

【0066】半導体装置101の制御信号入力端子には、ノードN1によって制御値レベルとして電源電位が供給されているため、内部クロックとして $\phi_1$ が選択される。したがって、半導体装置101に時刻 $t_1$ に入力されたデータ $a_1$ は内部クロック信号 $\phi_1$ の立上がりエッジがある時刻 $t_4$ において、半導体装置101に取込まれる。(図6中、IDinaに示す。)

一方、半導体装置109に入力されるデータ $e_1$ は、内部クロック信号 $\phi_1$ の立上がり時刻 $t_4$ にはデータ $e_1$ は到達しておらず、内部クロック信号 $\phi_1$ では取込むことができない。

【0067】しかし半導体装置109の制御信号入力端子には、ノードN5によって制御値レベルとして、接地電位が供給されているため、内部クロックとして $\phi_2$ が選択される。したがって半導体装置109に時刻 $t_5$ に入力されたデータ $e_1$ は、クロック信号 $\phi_2$ の立下がりエッジがある時刻 $t_6$ において半導体装置に取込まれる。

【0068】したがって、実施の形態3では、回路モジュールの各データ端子から各半導体装置のデータ入力端子までのデータ信号の各遅延量に差がある場合において、データの遅延に応じて半導体装置の内部でクロック信号を遅らせてデータを取込むことができるため、データの遅延量差が大きい場合に、正常にデータを半導体装置に取込むことが可能となる。

【0069】なお、以上の説明では、半導体装置を5個搭載した場合の回路モジュールを例に説明したが、半導体装置の搭載個数は、増減することが可能である。

【0070】また、以上の説明では、実施の形態1の半導体装置1を搭載する回路モジュールを例に説明したが、実施の形態2の半導体装置51を搭載した場合においても、回路モジュールのデータの授受に同様の効果がある。

【0071】また、さらに、実施の形態1と実施の形態2の構成をともに有する半導体装置を使用すれば、信号の伝播遅延等によりデータ出力に対する基準クロック信号と、回路モジュールが出力するデータとの周期がとれなくなる場合や、回路モジュールが受けるデータが、回路モジュールが受けるクロックに対して遅延を生じている場合の両方の場合に対応することができる。

【0072】[実施の形態4]図7は、本発明の実施の形態4の回路モジュール150の構成を示す結線概念図である。

【0073】図中、実施の形態3と同一部分には同一符号を付して説明は繰返さない。実施の形態4の回路モジュール150は、各半導体装置101~109に制御信号を供給する構成として、抵抗161~169、ヒューズ素子171~179、ノードN11、N12、N13、N14およびN15を含む点で実施の形態3の回路



モジュール 100 と異なる。

【0074】抵抗 161、163、165、167 および 169 は、電源ノード VCC とノード N11、N12、N13、N14 および N15 との間にそれぞれ接続され、ヒューズ素子 171、173、175、177 および 179 は接地ノード GND とノード N11、N12、N13、N14 および N15 との間にそれぞれ接続される。ノード N11、N12、N13、N14 および N15 は、半導体装置 101、103、105、107 および 109 の制御信号入力端子とそれぞれ接続される。

【0075】図 7 ではヒューズ素子 171、173、175 は切断されており、ノード N11、N12、N13 は抵抗 161、163、165 によりプルアップされ、制御信号として電源電位が入力される。

【0076】一方ノード N14、N15 にそれぞれ繋がっているヒューズ素子 177、179 は切断されていない。ヒューズ素子 177、179 は抵抗 167、169 に比して十分低い抵抗値であるので、ノード N14、N15 には、制御信号として接地電位が入力される。

【0077】以上により実施の形態 4 においては、実施の形態 3 と同様の制御信号を半導体装置 101～109 に入力することになるため、実施の形態 3 と同様の効果が得られる。加えて、ヒューズ素子は回路モジュール組立の最終工程にて切断することも可能であるため、データ信号の遅延量が製造ロットによりばらつきが生じる場合や、基板設計のリードタイムが短く、データ信号の遅延量が予め測定することができない場合に、生産の最終工程にて調整ができる。

【0078】〔実施の形態 5〕図 8 は本発明の実施の形態 5 の回路モジュール 200 の構成を示す結線概念図である。図中、実施の形態 3 と同一部分には同一符号を付して説明は繰返さない。

【0079】実施の形態 5 の回路モジュール 200 は、各半導体装置 101～109 に制御信号を供給する構成として、抵抗 211～219、導通手段 227～229、ノード N21、N22、N23、N24 および N25 を含む点で、実施の形態 3 の回路モジュール 100 と異なる。

【0080】抵抗 221、223、225、227 および 229 は、電源ノード VCC とノード N21、N22、N23、N24 および N25 との間にそれぞれ接続され、導通手段 227、229 は接地ノード GND とノード N24、N25 との間にそれぞれ接続される。

【0081】ノード N21、N22、N23、N24 および N25 は、半導体装置 101、103、105、107 および 109 の制御信号入力端子とそれぞれ接続される。

【0082】図 8 では、ノード N21、N22、N23 は抵抗 211、213、215 によってプルアップさ

れ、制御信号として電源電位が入力される。一方、ノード N24、N25 にそれぞれ繋がっている導通手段 227、229 は抵抗 217、219 に比して十分低い抵抗値であるので、ノード N24、N25 には制御信号として接地電位が入力される。

【0083】以上により実施の形態 5 においては実施の形態 3 と同様の制御信号を半導体装置 101 から 109 に入力することになるため、実施の形態 3 と同様の効果が得られる。加えて、導通手段は回路モジュール組立の最終工程にて脱着することが可能であるため、データ信号の遅延量が製造ロットによりばらつきが生じる場合や、基板設計のリードタイムが短く、データ信号の遅延量が予め測定することができない場合に、生産の最終工程にて調整ができる。また、一旦製品が完成した後にも、容易に再調整ができる。

【0084】〔実施の形態 6〕図 9 は、本発明の実施の形態 6 の回路モジュール 250 の構成を示す結線概念図である。

【0085】図中、実施の形態 3 と同一部分には同一符号を付して説明は繰返さない。実施の形態 6 の回路モジュール 250 は制御信号を各半導体装置 251～259 に伝える構成が、以下で説明するように、ワイヤの接続により行なわれる点で実施の形態 3 の回路モジュール 100 と異なる。

【0086】また、図 9 では、実施の形態 3 における半導体装置 103、105、107 に相当する部分と配線基板の一部は省略してある。

【0087】図 9 において、回路モジュール 250 は半導体装置 251、259 とモジュール外部との間でデータを授受するデータ入力端子 111～119 と、配線基板 110 と、配線基板 110 上の端子と半導体装置の端子とを接続するワイヤ 301、303、305、307、309 および 311 と、半導体装置にデータを供給するデータ端子 265、273 と、制御信号の電位レベルを供給する端子 261、263、269、271 と、外部から供給されるクロック信号またはモジュール内部から供給されるクロック信号  $\phi_{in}$  を伝えるクロックノード CLK と、半導体装置にクロックノード CLK のクロック信号  $\phi_{in}$  を供給する端子 267、275 を備える。

【0088】半導体装置 251 は、データの授受を行なうデータ端子 283 と、制御信号を受ける制御信号入力端子 281 と、クロック信号  $\phi_{in}$  を受けるクロック端子 285 を含み、半導体装置 259 は、データの授受を行なうデータ端子 289 と、制御信号を受ける制御信号入力端子 287 と、クロック信号  $\phi_{in}$  を受けるクロック端子 291 を含む。

【0089】また、半導体装置 251 は、クロック信号  $\phi_{in}$  を端子 267、ワイヤ 305、クロック端子 285 を介して受けるとともに、モジュール 250 外部から

10

20

30

40

50



与えられるデータ信号をデータ端子111、端子265、ワイヤ303、データ端子283を介して受ける。また、半導体装置251は、制御信号である電源電位を端子261、ワイヤ301、制御信号入力端子281を介して受ける。

【0090】半導体装置259は、クロック信号 $\phi_{in}$ を端子275、ワイヤ311、クロック端子291を介して受けるとともに、モジュール外部から与えられるデータ信号をデータ端子119、端子273、ワイヤ309、データ端子289を介して受ける。また半導体装置は、制御信号である接地電位を、端子271、ワイヤ307、制御信号入力端子287を介して受ける。

【0091】回路モジュール外部とのデータのやりとりに使われるデータ端子111～119に近い配置にある半導体装置は、制御信号として電源電位を受け、データ端子111～119と遠い配置にある半導体装置は制御信号として接地電位を受けている点は実施の形態6も実施の形態3の場合と同様である。したがって、実施の形態3で説明した効果と同様の効果が得られる。

【0092】電気機器の携帯性向上等のため、回路モジュールにおいても小型、軽量化を進める必要がある。小型、軽量化に役立つ技術として、半導体装置をパッケージに入れることなく、基板上に配置し、ワイヤによって基板と半導体装置を接続した後に、樹脂封止で保護する、いわゆるベアチップ実装がある。

【0093】実施の形態6では、上記ベアチップ実装がされる場合において、ワイヤボンディング装置の設定を変えるのみで、各々の半導体装置の制御信号を変更することができ、特別に新たな材料や装置を必要としない点でさらに有利である。

【0094】[実施の形態7]図10は、本発明の実施の形態7の回路モジュール350の構成を示す結線概念図である。

【0095】図10中、実施の形態3の回路モジュール100と同一部分には、同一符号を付して説明は繰返さない。実施の形態7の回路モジュール350は、制御信号を供給する信号発生手段として不揮発性メモリの記憶情報に基づき制御信号を発生する制御出力発生回路355を備える点で実施の形態3の回路モジュール100と異なる。

【0096】実施の形態7においても、実施の形態3における半導体装置101～109に与えられている制御信号を、それぞれ同様に設定することが可能であるので、実施の形態3と同様の効果が得られる。

【0097】さらに、実施の形態7では制御信号発生回路355は、不揮発性メモリを含むため、不揮発性メモリに記憶された制御値を書換えることで、半導体装置101、103、105、107および109がデータを取込むタイミングを容易に変えることができる。

【0098】不揮発性メモリには、電氣的信号のみによ

って、短時間で記憶情報を書換えられるものもある。

【0099】したがって生産工程の最終段階での調整や製品完成後の再調整が極めて短時間に容易にできる。

【0100】さらに実施の形態7の回路モジュールであれば、回路モジュールを製造する際、回路モジュールの組立完了後に、モジュール上の部品のばらつきによるデータ遅延量の測定結果に応じて、不揮発性メモリ中の記憶情報を適宜書換えることにより、製造した回路モジュールを個別に最適な設定状態にして、動作させることが可能となる。

【0101】

【発明の効果】請求項1記載の半導体装置は、半導体装置内部でクロック信号を遅らせて、データを受取ったり、データを送り出したりすることが可能である。その結果、クロック信号に対し受取るデータ信号に遅れが生じた場合でも正常にデータを受取ることが可能である。また、送り出すデータ信号に対し、受取る相手の装置のクロック信号に遅れが生じた場合でも、正常にデータを受渡すことができる。

【0102】請求項2記載の半導体装置は、半導体装置内部でクロック信号を遅らせて、データを受取ったり、データを送り出したりすることが可能である。その結果、クロック信号に対し受取るデータ信号に遅れが生じた場合でも正常にデータを受取ることが可能である。また、送り出すデータ信号に対し受取る相手の装置のクロック信号に遅れが生じた場合でも、正常にデータを受渡すことができる。

【0103】請求項3記載の回路モジュールは、各々の半導体装置におけるデータ信号の遅延と、クロック信号の遅延とに対応して、各々の半導体装置ごとに内部でクロック信号の遅延時間を変えデータの授受を行なう。その結果、回路モジュール上で、各々の半導体装置ごとに受取るデータの遅延量が異なる場合でも、回路モジュール全体として正常なデータの授受が可能となる。

【0104】請求項4記載の回路モジュールは、請求項3記載の回路モジュールが奏する効果に加えて、製造ロットによりデータ信号とクロック信号の遅延量にばらつきが生じる場合や、基板設計のリードタイムが短く、データ信号の遅延量が予め測定することができない場合に、生産の最終段階にて調整ができる。

【0105】請求項5記載の回路モジュールは、請求項3記載の回路モジュールが奏する効果に加えて、製造ロットによりデータ信号とクロック信号の遅延量にばらつきが生じる場合や、基板設計のリードタイムが短く、データ信号の遅延量が予め測定することができない場合に、生産の最終段階にて調整ができる。同時に、完成後の再調整も容易である。

【0106】請求項6記載の回路モジュールは、請求項3記載の回路モジュールが奏する効果に加えて、製造ロットによりデータ信号とクロック信号の遅延量にばらつ

\*を示す結線概念図である。

【0107】請求項7記載の回路モジュールは、請求項3記載の回路モジュールが奏する効果に加えて、製造ロットによりデータ信号とクロック信号の遅延量にばらつきが生じる場合や、基板設計のリードタイムが短く、データ信号の遅延量が予め測定することができない場合に、生産の最終段階にて調整ができる。さらに、各モジュールごとにそのモジュール上の部品のばらつきによるデータ遅延量に応じて、不揮発性メモリ中の記憶情報を適宜書換えることで、回路モジュールを個別に最適な設定状態にて動作させることができる。

【図 8】 実施の形態 5 の回路モジュール 200 の構成を示す結線概念図である。

【図 9】 実施の形態 6 の回路モジュール 250 の構成を示す結線概念図である。

【図10】 実施の形態7の回路モジュール350の構成を示す結線概念図である。

【図 11】 従来の半導体装置 400 の構成を示す回路図である。

10 【図12】 図11の従来の半導体装置400の動作を説明する動作波形図である。

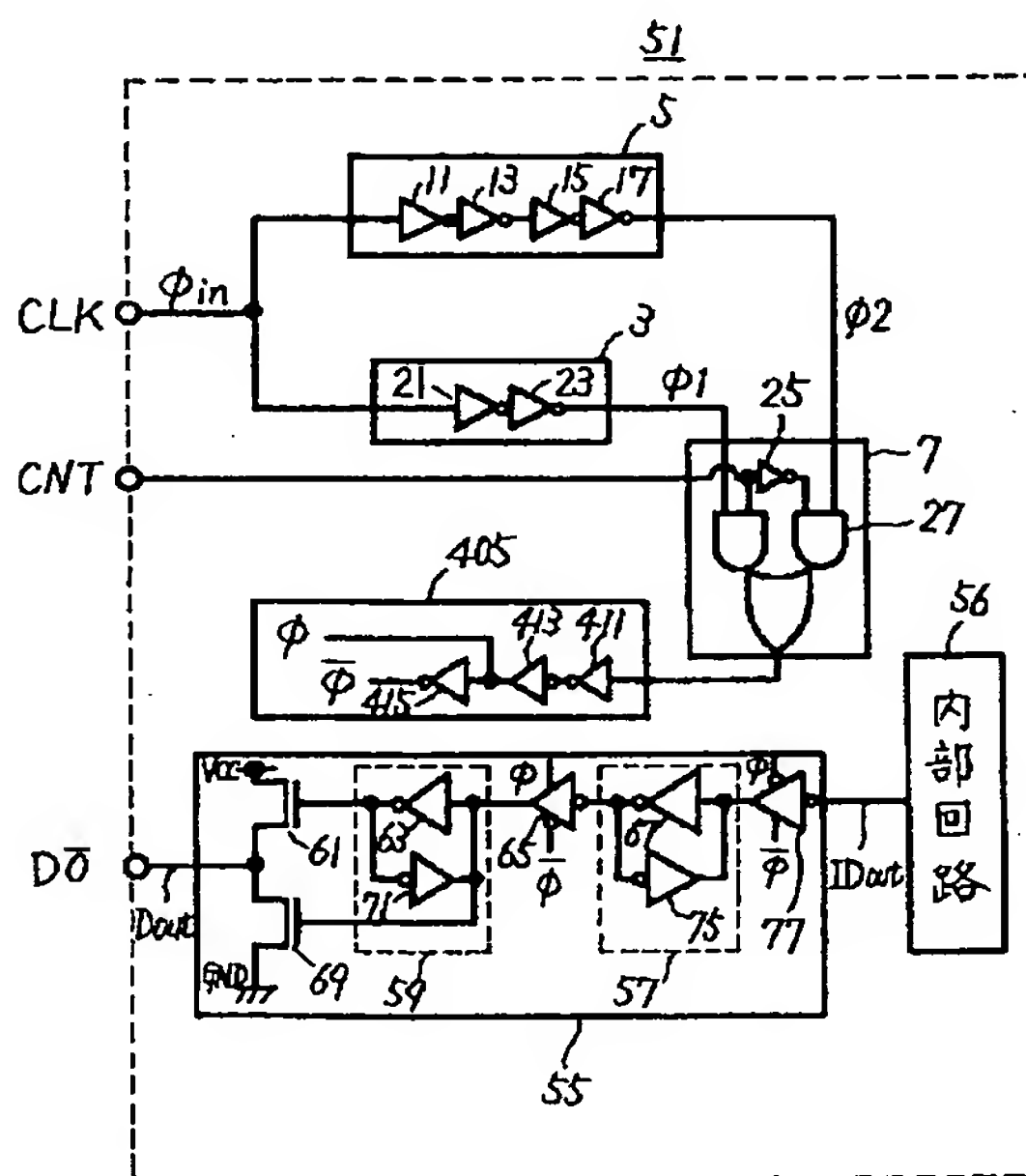
【図13】 従来の回路モジュール430の構成を示す回路図である。

【図 14】 図 13 の従来の回路モジュール 430 の動作を説明する動作波形図である。

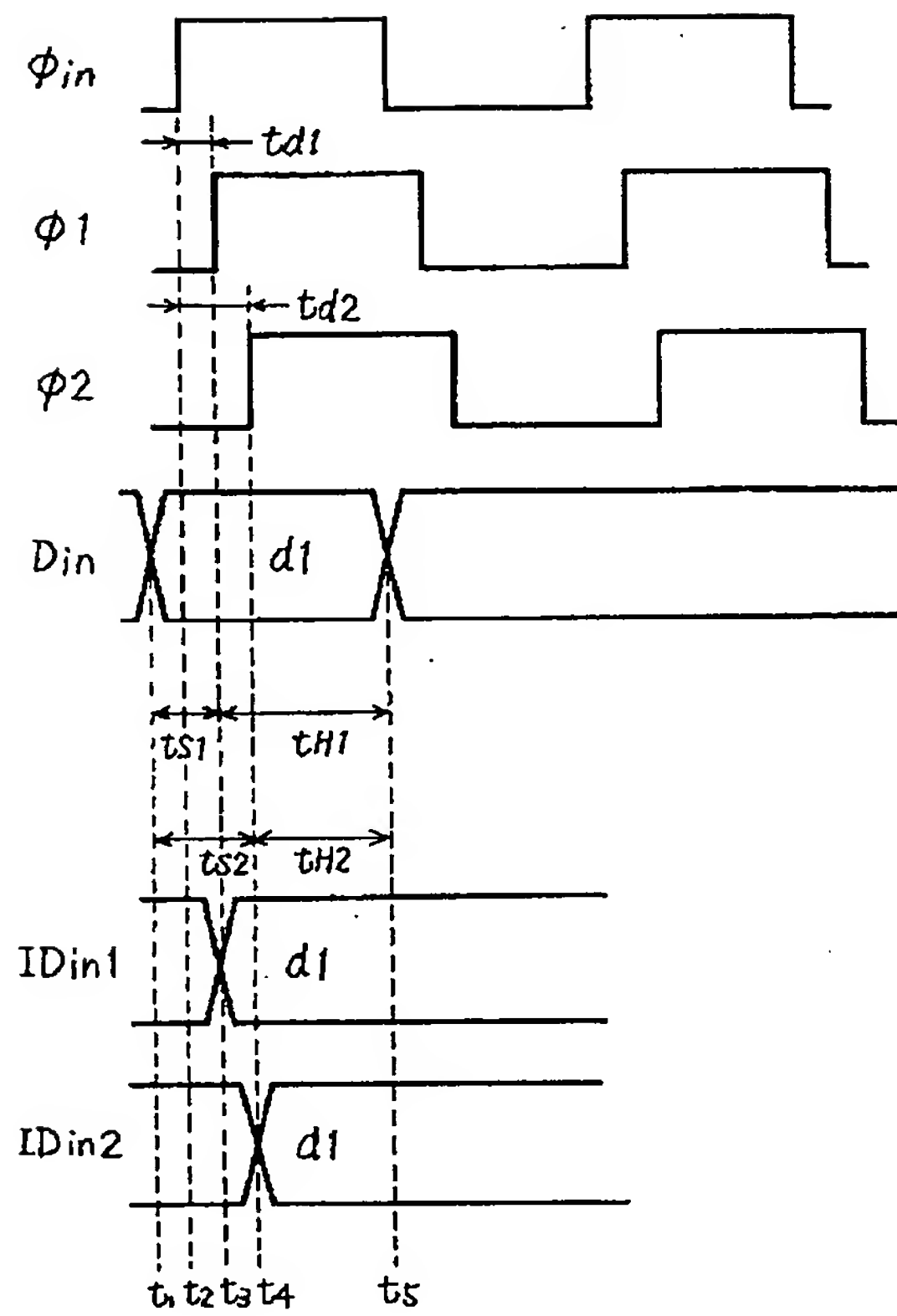
【符号の説明】

CLK, 285, 291 クロック端子、CNT, 281, 287 制御信号入力端子、DI, 111~119, 283, 289 データ端子、3 第1の遅延回路、5 第2の遅延回路、7 選択回路、403 内部回路、401, 55入出力回路、1, 51, 101~109, 251, 259 半導体装置、400 従来の半導体装置、N1~N5, N11~N15, N21~N25, N31~N35 ノード、161~169, 211~219 抵抗、171~179ヒューズ素子、225~229 導通手段、301~311 ワイヤ、261~275 端子、110, 160, 210, 260, 360 配線基板、355制御信号発生回路。

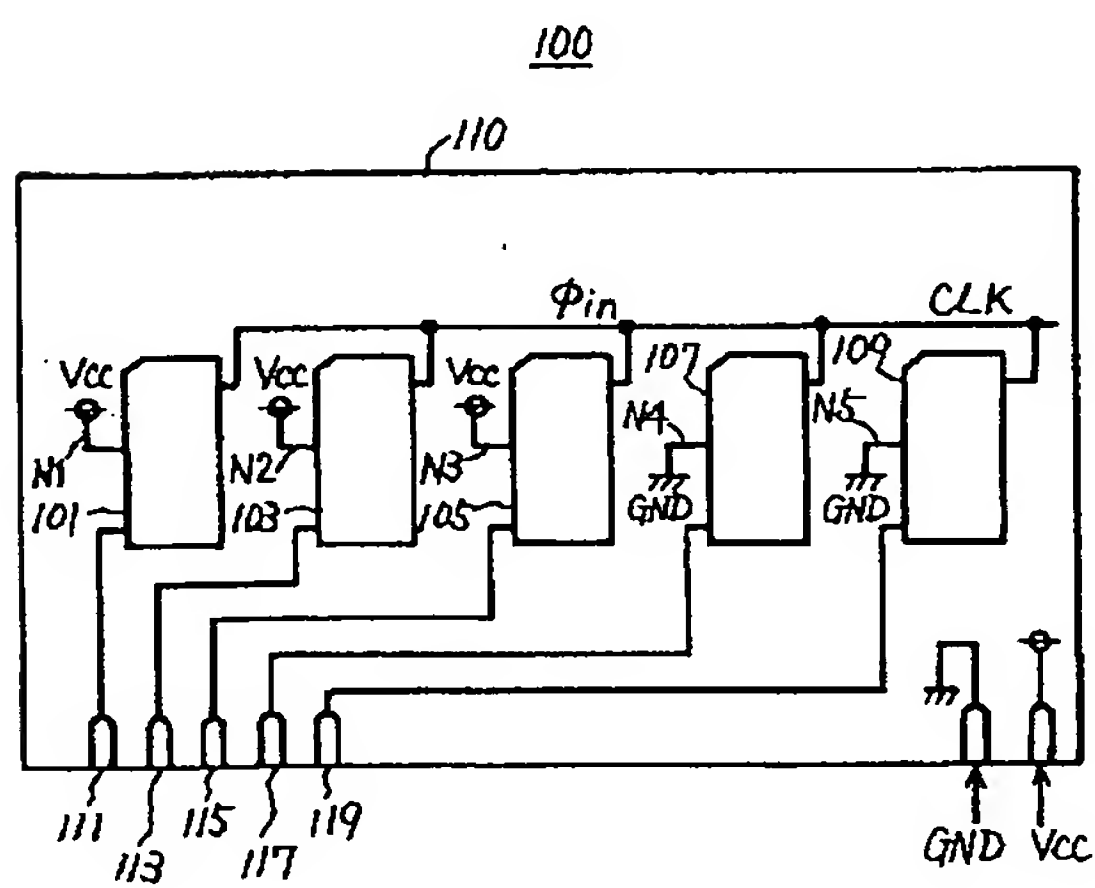
【圖3】



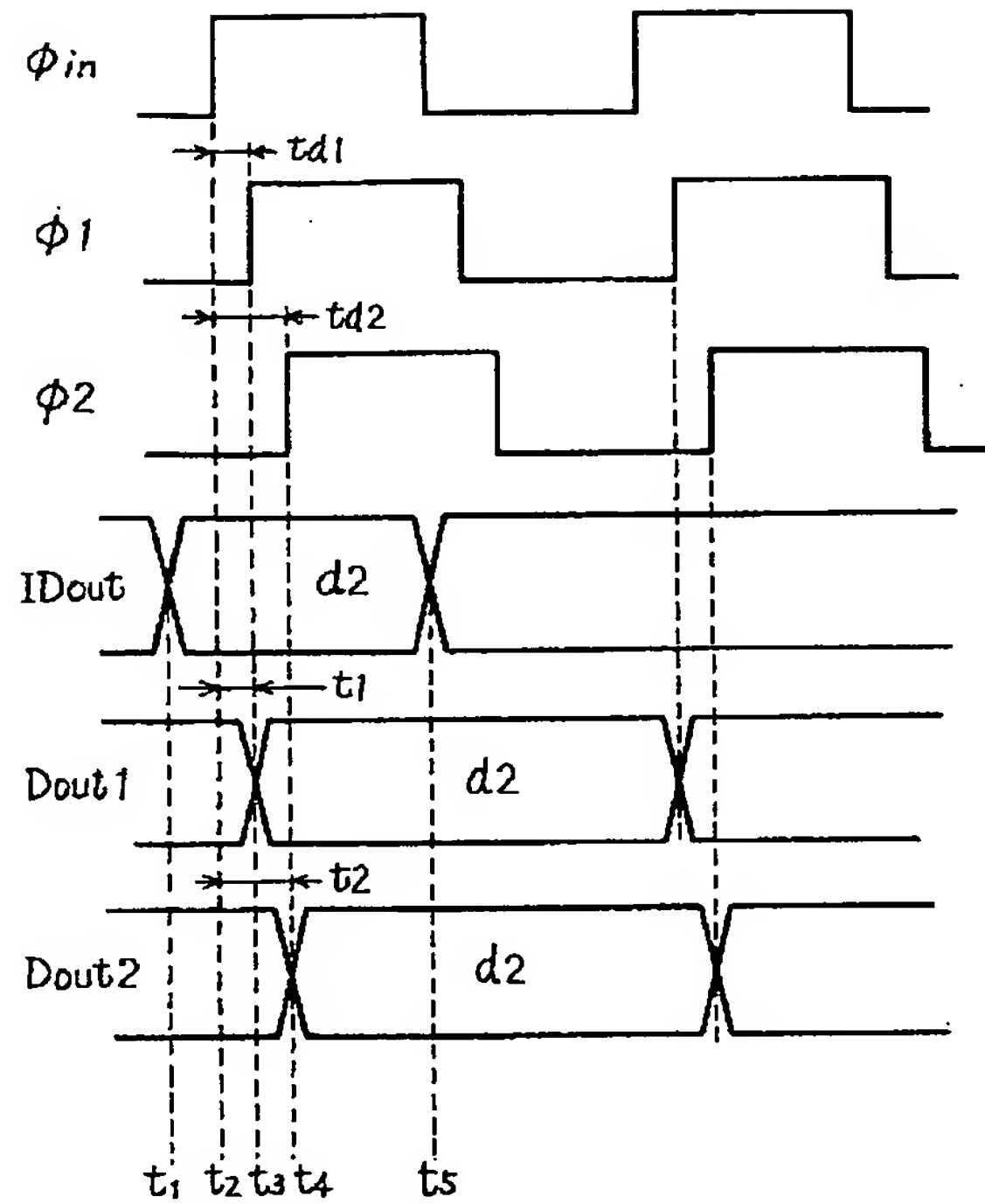
【図2】



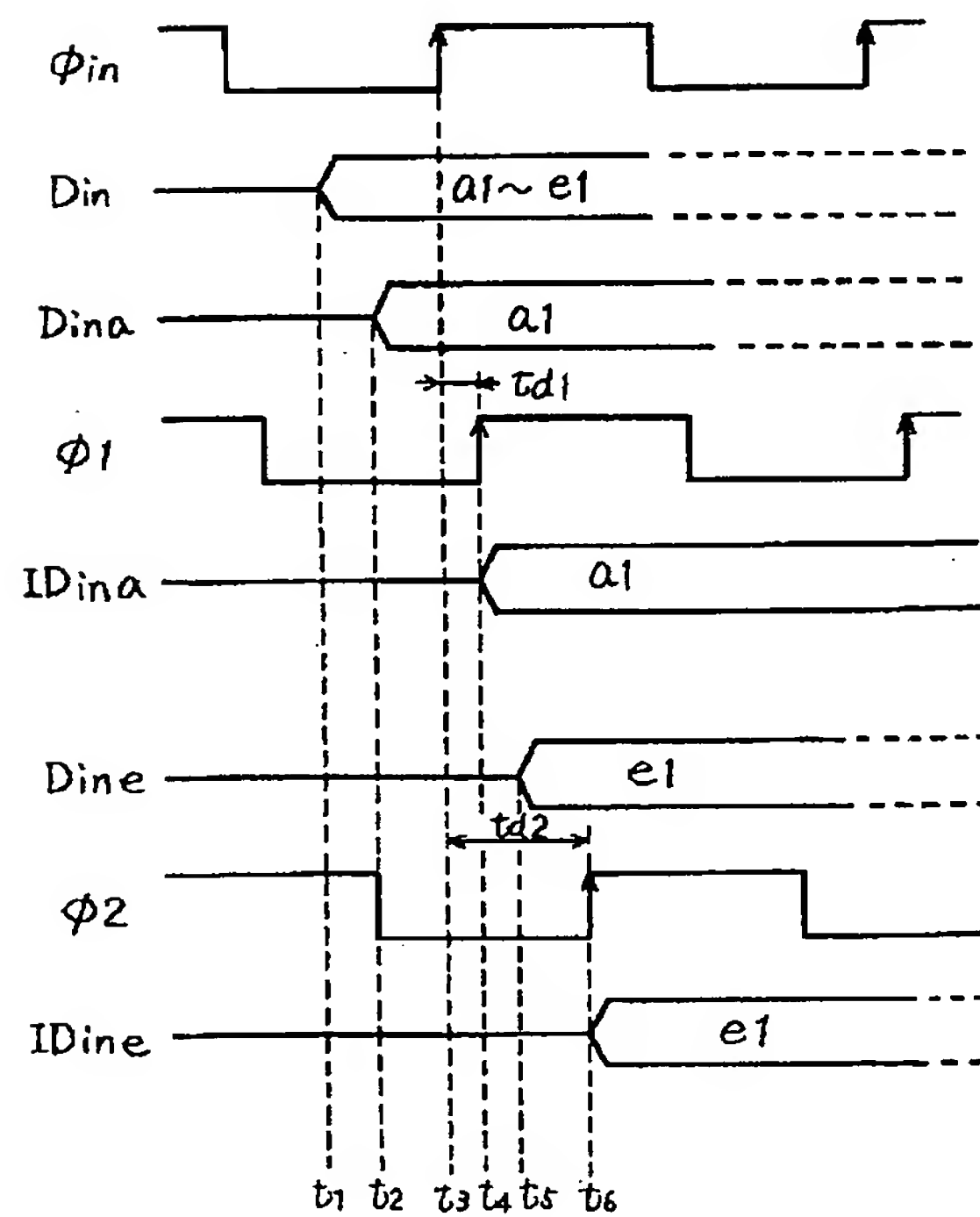
【図5】



【図4】

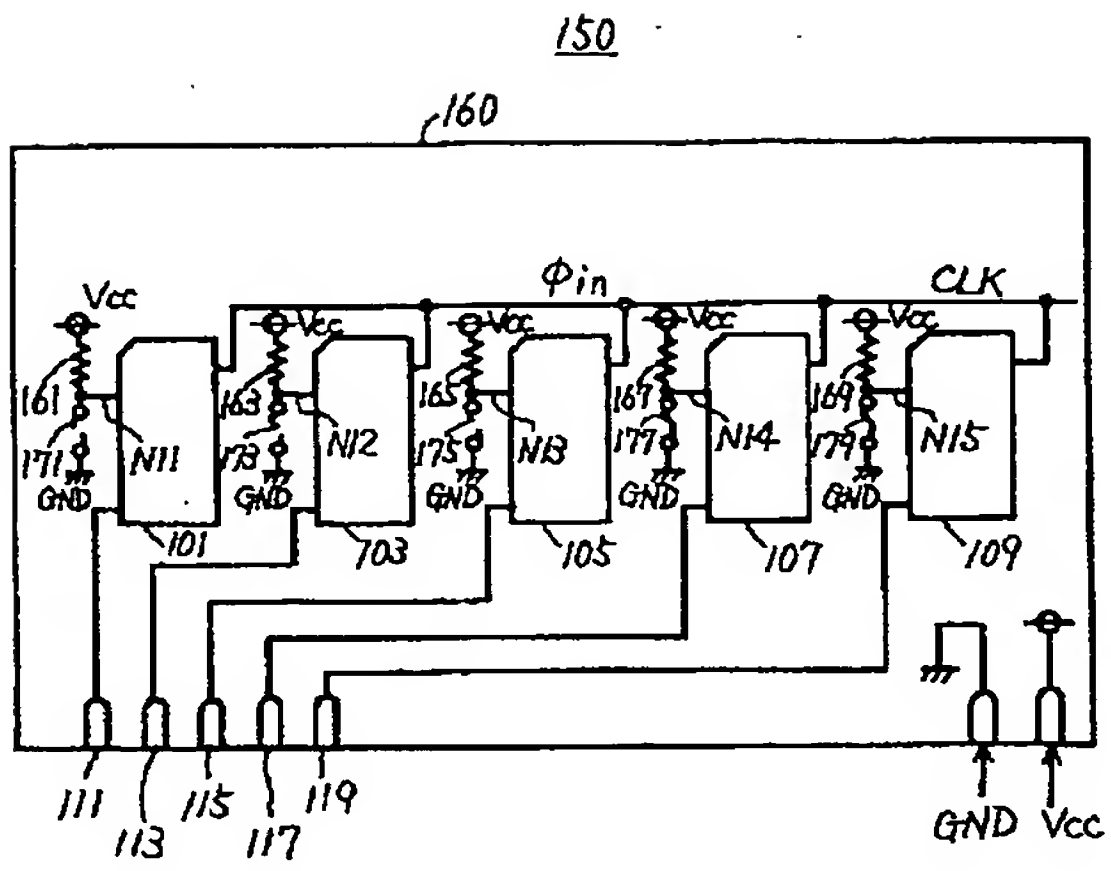


【図6】

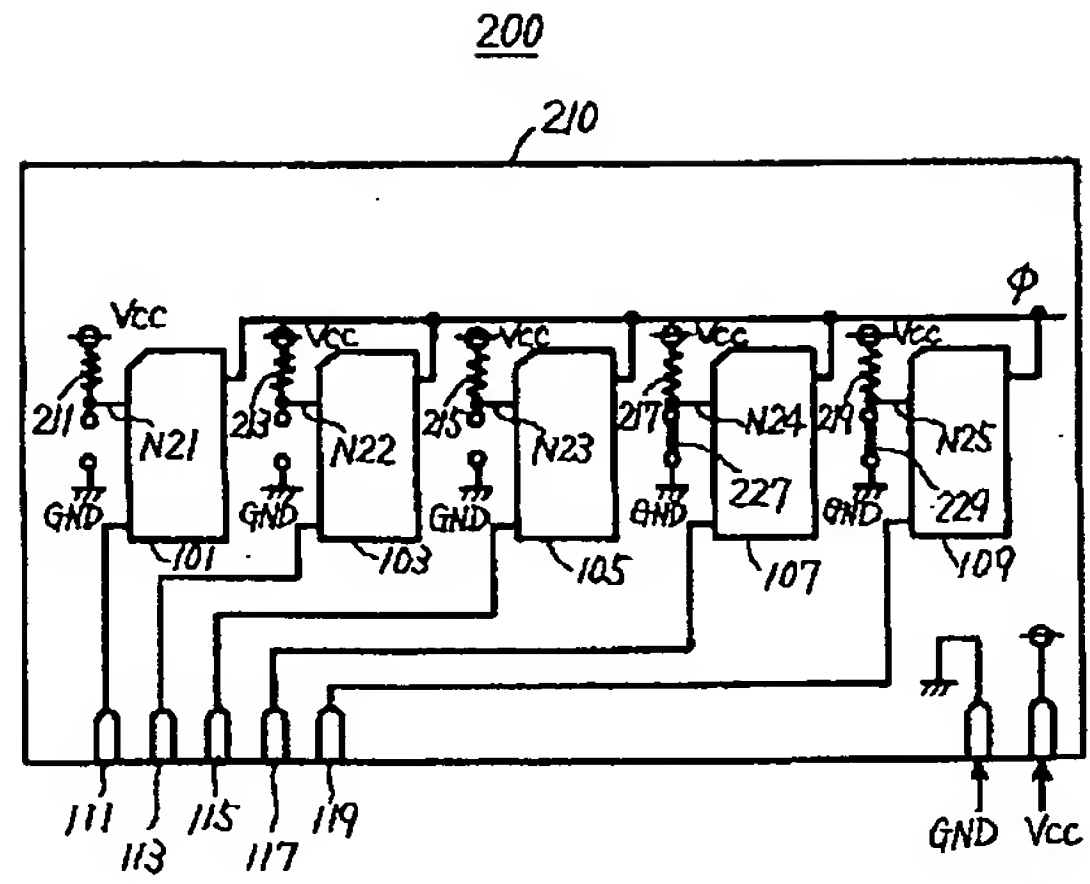




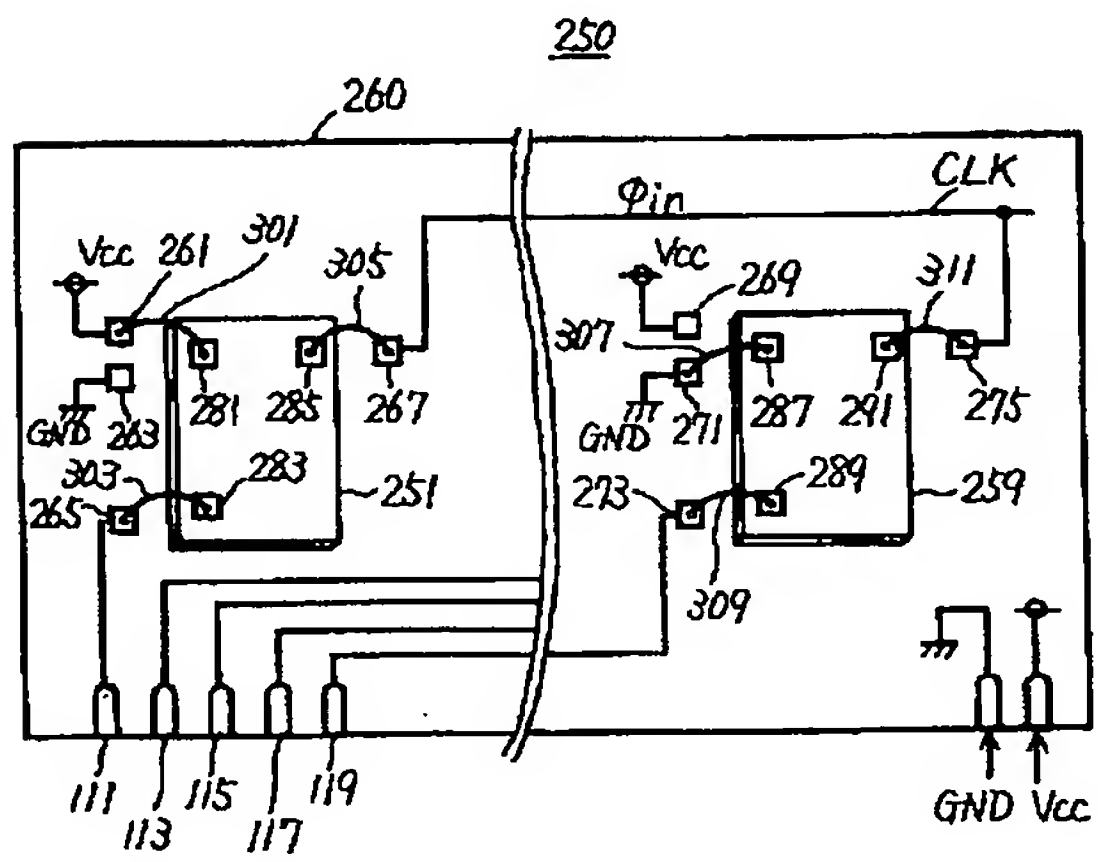
【図 7】



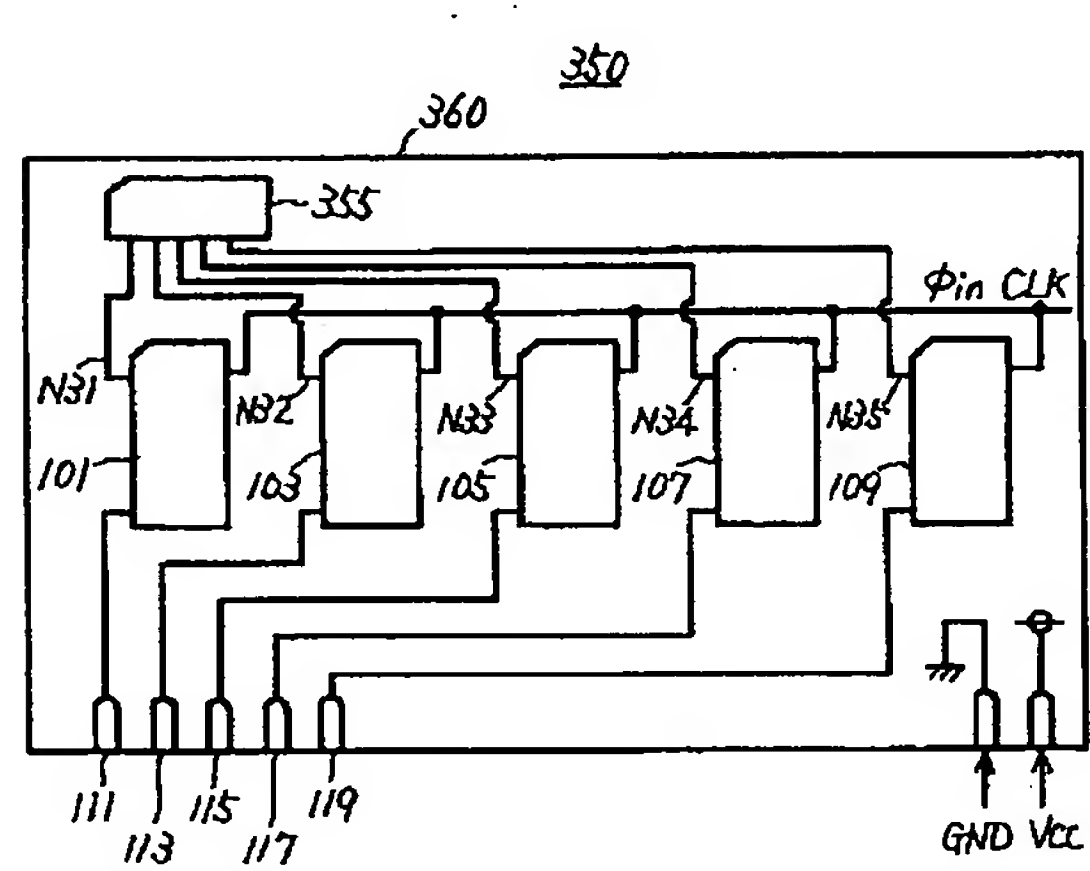
【図 8】



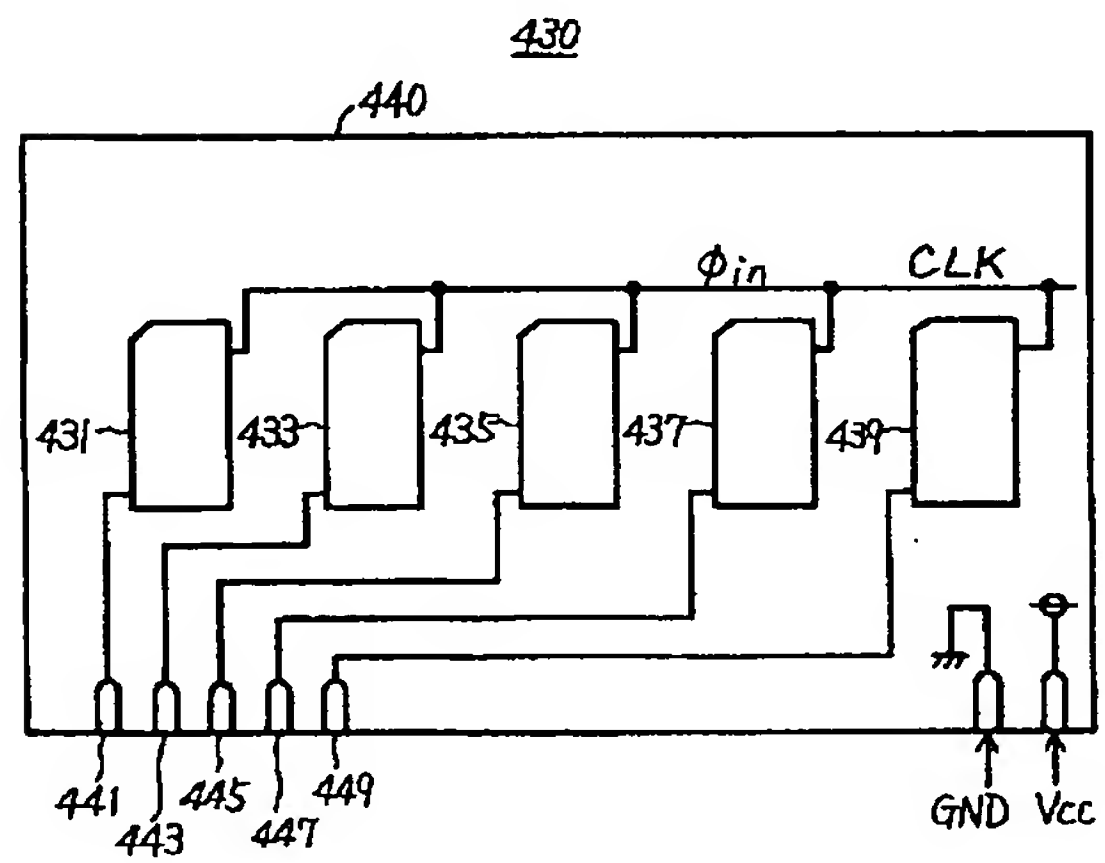
【図 9】



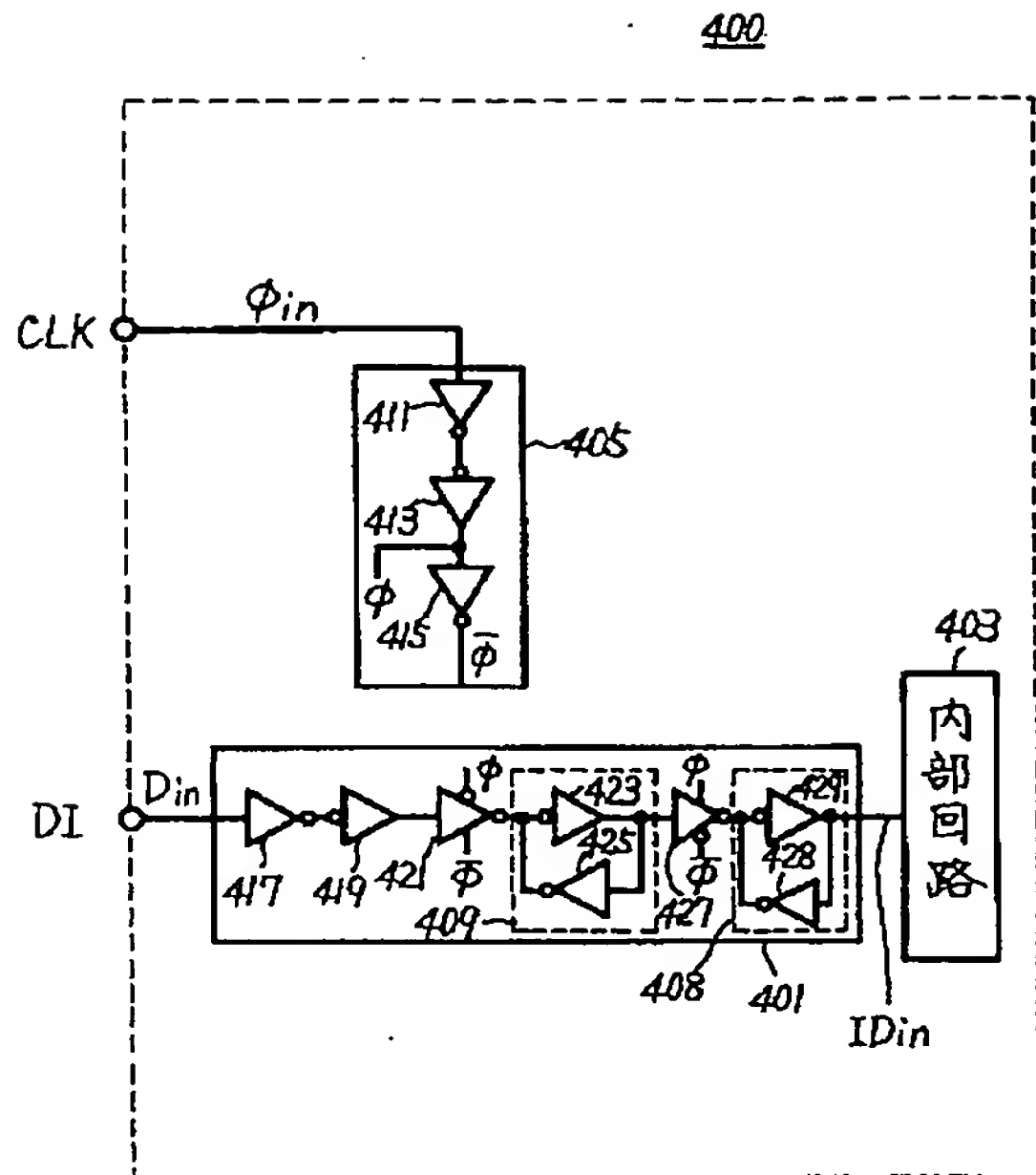
【図 10】



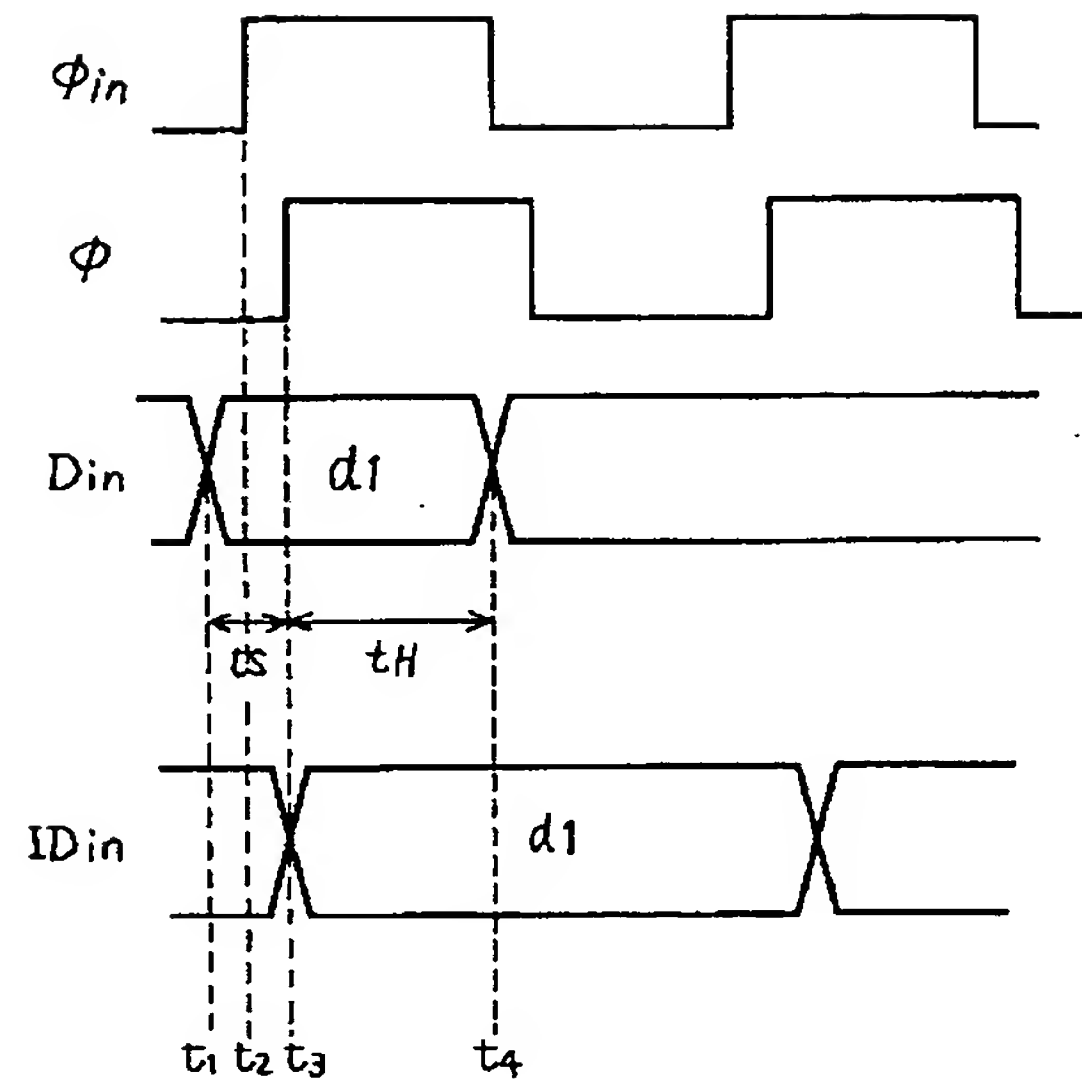
【図 13】



【図 11】



【図 12】



【図 14】

